Міністерство освіти і науки України

Львівський національний університет ім. Івана Франка

Факультет прикладної математики

та інформатики

**АРХІТЕКТУРА ОС ТА СХЕМОТЕХНІКА**

**Звіт**

до лабораторної роботи №5 на тему:

**ПОБУДОВА І ДОСЛІДЖЕННЯ РЕГІСТРОВИХ СХЕМ**

Виконав:

студент гр. ПМО-11

Барський А.В.

Прийняв:

Рикалюк Р.Є.

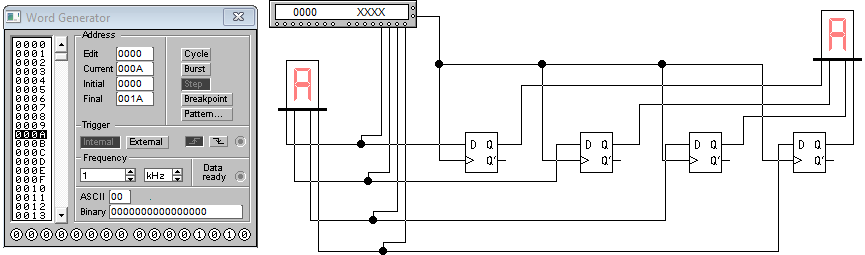
Львів – 2021

**Звіт по роботі**

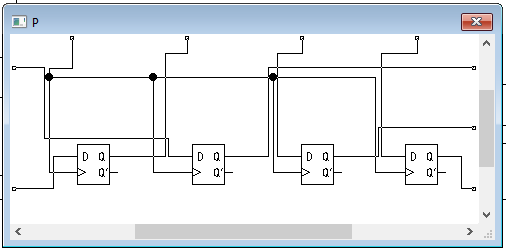
**Мета:** з використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Хід роботи:**

**Досліджувана схема** **(чотирирозрядний регістр паралельної дії):**

****

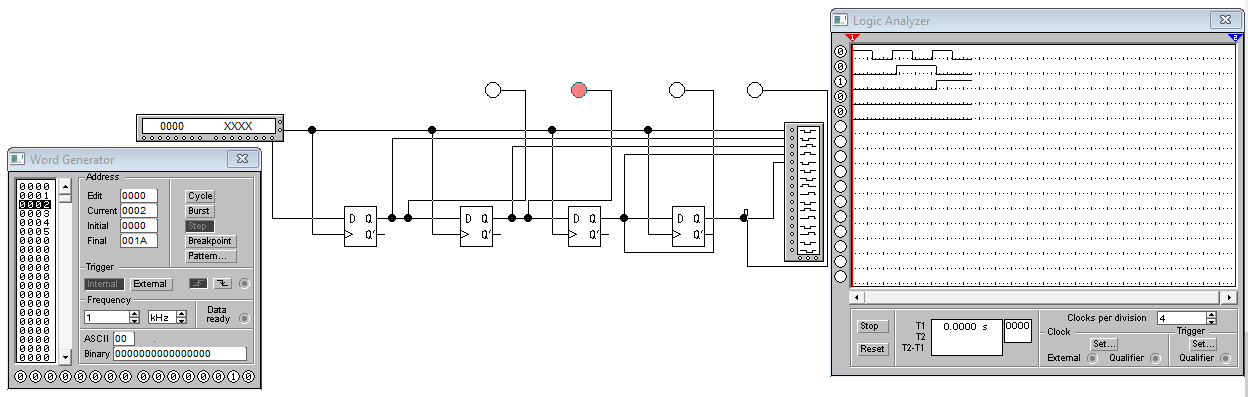
**Макроелемент** **(чотирирозрядний регістр паралельної дії):**

****

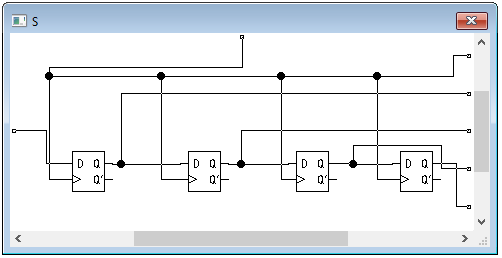
**Таблиця істинності**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D3** | **D2** | **D1** | **D0** | **T3** | **T2** | **T1** | **T0** | **Result** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | **0** |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | **1** |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | **2** |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | **3** |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | **4** |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | **5** |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | **6** |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | **7** |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | **8** |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | **9** |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | **A** |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | **B** |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | **C** |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | **D** |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | **E** |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | **F** |

**Досліджувана схема** **( чотирирозрядний регістр послідовної дії ):**

******

**Макроелемент** **( чотирирозрядний регістр послідовної дії ):**

****

**Таблиця істинності**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Вхід** | **Q0** | **Q1** | **Q2** | **Q3** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |

**Висновок:** у результаті виконання даної лабораторної роботі я навчився, з використанням можливостей пакета EWB, будувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірив роботу схем, склав таблиці істинності та створив макроелемент кожної схеми.